

**4. ОСОБЕННОСТИ АХИТЕКТУРЫ МИКРОКОНТРОЛЛЕРОВ
AT89LP51/52**

- **8-разрядный микроконтроллер, совместимый с 8051.**
- **Улучшенная архитектура 8051:**
 - один такт на выборку байта;
 - 12 тактов в режиме совместимости машинного цикла;
 - до 20 MIPS при тактовой частоте 20 МГц;
 - полностью статические операции: от 0 Гц до 20 МГц;
 - внутренний аппаратный умножитель цикла;
 - внутреннее ОЗУ 256 x 8;
 - интерфейс внешней памяти данных/программы;
 - два указателя данных;
 - 4 уровня приоритета прерываний.
- **Энергонезависимая память программ и данных:**
 - 4К/8К байтовая программируемая в системе внутрисхемного программирования (ISP) флэш-память программ;
 - 256 байтовая флэш-память данных;
 - 256 байтовый сигнатурный массив пользователя;
 - 10 000 циклов записи/стирания;
 - последовательный интерфейс для загрузки программы;
 - быстрый режим программирования 64 байтовыми страницами;
 - 3-х уровневая программа для блокировки памяти (Software Security);
 - программирование памяти программ из приложения.
- **Периферийные особенности:**
 - три 16-разрядных таймера/счетчика;
 - улучшенный приемопередатчик;
 - автоматическое распознавание адреса;
 - обнаружение ошибки кадра;
 - режимы эмуляции интерфейсов SPI и TWI;
 - программируемый сторожевой таймер с программным сбросом и делителем.
- **Специальные функции микроконтроллера:**
 - обнаружение неустойчивого питания и сброс по включению питания с флагом Power-off;
 - выбор полярности на выводе внешнего сброса;
 - энергосберегающие режимы Low Power Idle и Power-down;

- восстановление по прерыванию из режима Power-down;
- дополнительный внутренний генератор 1,8432 МГц.

Структурная схема

AT89LP51/52 - 8-разрядные, мало потребляемые энергию, высокоэффективные CMOS-микроконтроллеры с 4К/8К-байтовой программируемой в системе флэш-памятью программ и с 256-байтовой флэш-памятью данных. Микроконтроллеры изготавливаются с использованием высокоплотной технологии энергонезависимой памяти Atmel и совместимыми со стандартным набором инструкций микроконтроллера 80C52.

AT89LP51/52 построены на основе усовершенствованного ядра центрального процессора (ЦП), который может выполнять выборку одного байта из памяти за каждый тактовый период. В классической архитектуре микроконтроллера 8051 для каждой выборки из памяти необходимы 6 тактов, а инструкции выполняются за 12, 24 или 48 тактов. В процессоре AT89LP51/52 инструкциям требуются только 1 - 4 такта, обеспечивая пропускную способность в 6 - 12 раз больше, чем стандартный 8051. Семидесяти процентам инструкций требуется столько тактовых периодов, сколько они имеют байтов для выборки, а большинство из оставшихся инструкций требуют только один дополнительный такт. Новое ядро процессора способно выполнять 20 MIPS (миллионов инструкций в секунду), в то время как классический процессор 8051 при том же потреблении тока только 4 MIPS. И, наоборот, при той же пропускной способности, как в классическом 8051, новое ядро процессора работает на более низкой скорости, и поэтому значительно снижаются потребление энергии и электромагнитное излучение.

Микроконтроллеры AT89LP51/52 работают также в режиме совместимости, который позволяет иметь в машинном цикле операций классические 12 тактов для реальной совместимости с AT89S51/52

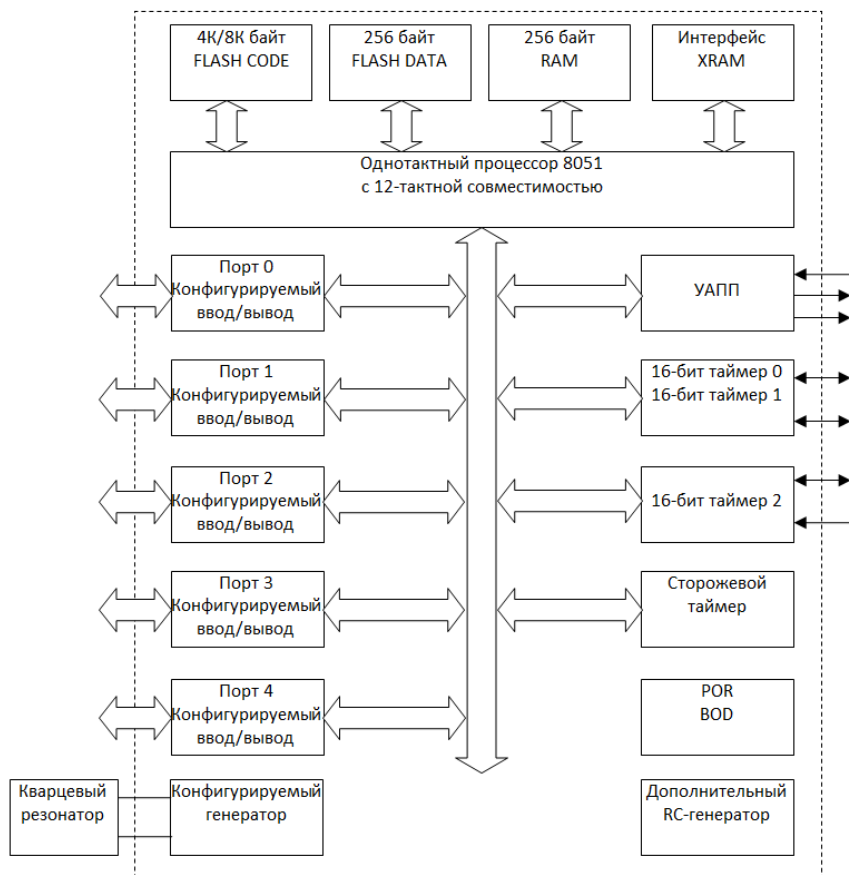


Рис. 4.1. Структурная схема микроконтроллеров AT89LP51/52

Микроконтроллеры AT89LP51/52 имеют следующие стандартные характеристики: 4К/8К байт программируемой флэш-памяти программ, 256 байт флэш-памяти данных, 256 байт RAM, 36 линий ввода-вывода, три 16-битовых таймера/счетчика, программируемый таймер, полнодуплексный последовательный порт, внутренний генератор, внутренний вспомогательный генератор на 1.8432 МГц и четырех уровневую шести векторную систему прерываний. Блок-схема микроконтроллера показана на рис. 4.1. Все три таймера/счетчика AT89LP51/52, таймеры 0, 1 и 2, могут быть настроены на установку вывода порта при

μP Архитектура 8-разрядного микроконтроллера

переполнении для формирования синхросигнала. В отличие от AT89S51 в AT89LP51 имеется таймер 2.

Усовершенствованный полнодуплексный приемопередатчик (УАПП) в AT89LP51/52 имеет возможность обнаружения ошибок кадра и автоматического распознавания адресов. Кроме того, усовершенствования в режиме 0 позволяют аппаратное ускорение эмуляции последовательного периферийного интерфейса (SPI) и двухпроводного интерфейса (TWI).

Сторожевой таймер в AT89LP51/52 имеет 7-битовый делитель, команду программного сброса и флаг переполнения. Он может выводить сигнал сброса на вывод внешнего сброса.

Каждый 8-битовый порт ввода/вывода в AT89LP51/52 можно независимо настроить в один из четырех операционных режимов. В квази-двунаправленном режиме порты работают как в классическом 8051. В режиме только для ввода порты имеют третье высокоимпедансное состояние. Подтянутый выходной режим полностью обеспечивается драйверами CMOS, а режим с открытым стоком обеспечивает стягивание. В отличие от 8051 порт 0 может работать с внутренним подтягиванием, если это необходимо.

AT89LP51/52 является частью семейства устройств с расширенными функциями, которые полностью совместимы с двоичными командами 8051. AT89LP51/52 имеют два режима работы: режим совместимости и быстрый режим. Краткое изложение различий между совместимым и быстрым режимами приведены в табл. 4.1.

Табл. 4.1. Сравнение совместимого и быстрого режимов

Особенность	Совместимый	Быстрый
Выборка инструкций в системных тактах	3	1
Время выполнения инструкций в системных тактах	6, 12, 18 или 24	1, 2, 3, 4 или 5
Делитель системных тактов по умолчанию	2	1
Предварительный делитель таймера	6	1
Скорость обработки сигналов на выводах INT0, INT1, T0, T1, T2, T2EX	Предустановленная скорость	Системная синхронизация
Минимальное количество тактов на входе RST в системных тактах	12	2
Расположение бит WDIDLE и DISRTO	AUXR	WDTC0N

Процессор

Быстрый (за один цикл) режим включается, сбросив fuse-бит Compatibility. В этом режиме однобайтовая инструкция извлекается за каждый системный такт. Набор инструкций 8051 включает в себя инструкции переменной длины от 1 до 3 байт. В системе с выборкой байта за один такт означает, что на выполнение каждой инструкции, по меньшей мере, требуется столько же тактов. Большинство команд в AT89LP51/52 следует этому правилу: с несколькими исключениями время выполнения инструкции в системных тактовых циклах равно числу байтов в инструкциях. Переходам и вызовам требуется дополнительный цикл для вычисления целевого адреса, а также ряд других сложных инструкций требуют нескольких циклов.

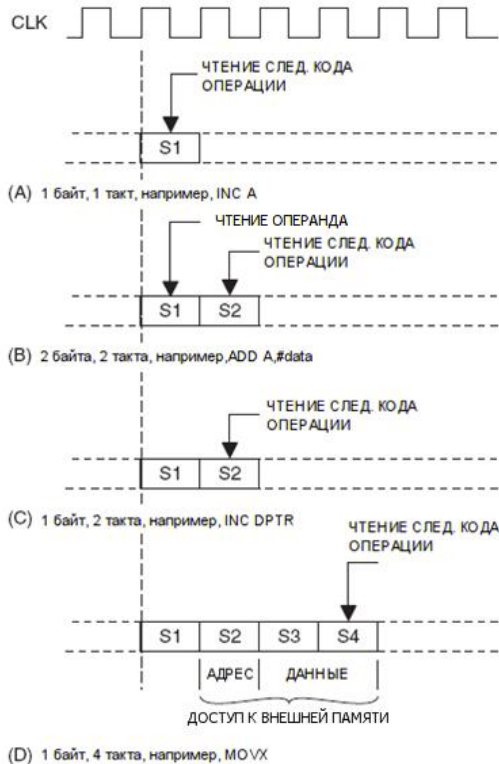


Рис. 4.2. Выполнение инструкций в быстром режиме

Примеры выполнения инструкций в быстром режиме показаны на рис. 4.2. Обратите внимание, что инструкции в быстром режиме выполняются в три раза дольше, если они выбираются из внешней памяти программ.

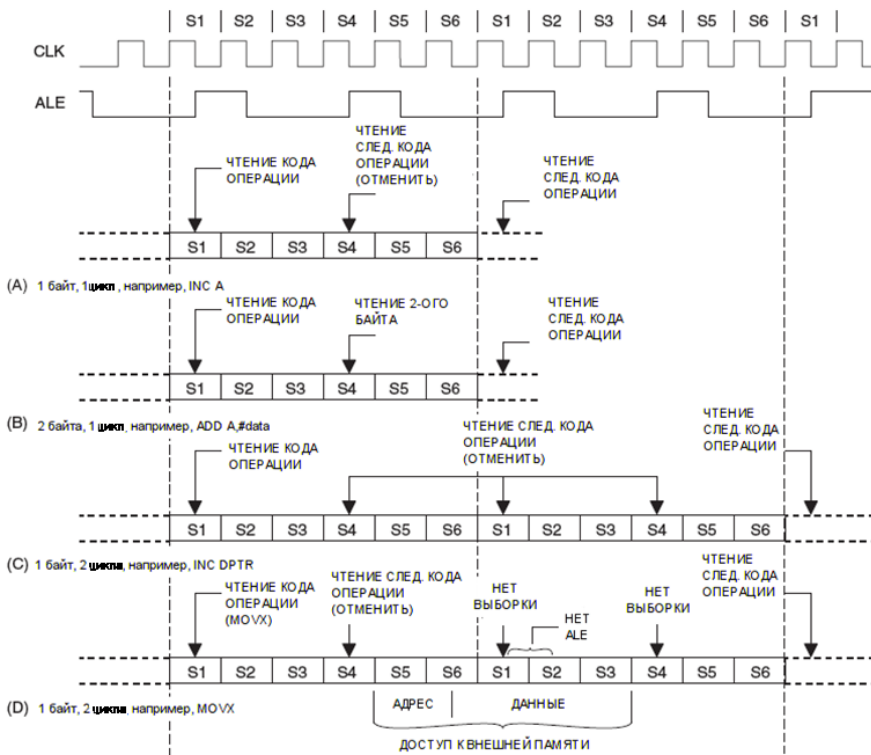


Рис. 4.3. Выполнение инструкций в режиме совместимости

Режим совместимости (12-тактный) включен по умолчанию или после установки fuse-бита Compatibility. В режиме совместимости байтовые инструкции выбираются каждые три системных такта, а процессор работает с машинным циклом с 6 состояниями, полученными делением на 2 машинного цикла, состоящего из 12 тактовых периодов системного генератора. Стандартные инструкции выполняются за 1, 2 или 4 машинных цикла.

Режим совместимости можно использовать для сохранения профилей выполнения унаследованных приложений. Примеры выполнения инструкций в режиме совместимости показаны на рис. 4.3.

Организация памяти

Микроконтроллеры AT89LP51/52 используют гарвардскую архитектуру с раздельными адресными пространствами для памяти программ и памяти данных. Память программ имеет регулярное линейное адресное пространство с поддержкой 64К байт прямой адресации кода приложения. Память данных имеет 256 байт внутреннего ОЗУ и 128 байт регистров специального назначения пространства ввода/вывода. AT89LP51/52 поддерживают до 64К байт внешней памяти данных с частью внешней памяти данных, расположенной на чипе энергонезависимой флэш-памяти данных. Внешняя память программ поддерживается для адресов выше 4К/8К. Адресные пространства памяти AT89LP51/52 перечислены в табл. 4.2.

Табл. 4.2. Адресные пространства памяти

Название	Описание	Диапазон
DATA	Прямо адресуемое внутреннее ОЗУ	00H–7FH
IDATA	Непрямо адресуемое внутреннее ОЗУ и стековое пространство	00H–FFH
SFR	Прямо адресуемое пространство регистров ввода/вывода	80H–FFH
FDATA	Внутренняя энергонезависимая флэш-память данных	0000H–00FFFH
XDATA	Внешняя память данных	0100H–FFFFH
CODE	Внутренняя энергонезависимая флэш-память программ	0000H–0FFFFH (AT89LP51) 0000H–1FFFFH (AT89LP52)
XCODE	Внешняя память программ	1000H–FFFFH (AT89LP51) 2000H–FFFFH (AT89LP52)
SIG	Внутренняя энергонезависимая флэш-память для сигнатуры	0000H–01FFFH

Карта памяти области на кристалле, называемой пространством регистров специального назначения (SFR) показана в табл. 4.3.

Следует отметить, что не все адреса заняты, и незанятые адреса не могут быть использованы на чипе. Чтение по этим адресам возвращает случайные данные, а запись дает неопределенный результат. Пользовательские программы не должны записывать в эти места, так как в будущих продуктах они могут быть использованы для вызова новых функций.

Табл. 4.3. Карта и значения после сброса SFR

	8	9	A	B	C	D	E	F	
0F8H									0FFH
0F0H	B 0000 0000								0F7H
0E8H									0EFH
0E0H	ACC 0000 0000								0E7H
0D8H									0DFH
0D0H	PSW 0000 0000								0D7H
0C8H	T2CON 0000 0000	T2MOD 0000 0000	RCAP2L 0000 000	RCAP2H 0000 0000	TL2 0000 000	TH2 0000 0000			0CFH
0C0H	P4 1111 1111	PMOD ₍₂₎							0C7H
0B8H	IP xx00 0000	SADEN 0000 0000							0BFH
0B0H	P3 1111 1111							IPH xx00 0000	0B7H
0A8H	IE 0x00 0000	SADDR 0000 0000							0AFH
0A0H	P2 1111 1111		AUXR1 0000 00x0				WDTRST (write-only)	WDTCN 0000 0xx0	0A7H
98H	SCON 0000 0000	SBUF xxxx xxxx							9FH
90H	P1 1111 1111	TCONB 000x xxxx					MEMCON 0000 00xx		97H
88H	TCON 0000 0000	TMOD 0000 0000	TL0 0000 0000	TL1 0000 0000	TH0 0000 0000	TH1 0000 0000	AUXR 0000 0000	CLKREG ₍₃₎	8FH
80H	P0 1111 1111	SP 0000 0111	DP0L 0000 0000	DP0H 0000 0000	DP1L 0000 0000	DP1H 0000 0000	PCON 000x 0000		87H
	0	1	2	3	4	5	6	7	

Слово состояния программы (PSW)

При выполнении многих команд в АЛУ формируется ряд признаков операции (флагов), которые фиксируются в регистре PSW. В табл. 4.4 приводится перечень флагов PSW, даются их символические имена и описываются условия их формирования.

Наиболее "активным" флагом PSW является флаг переноса, который принимает участие и модифицируется в процессе выполнения множества операций, включая сложение, вычитание и сдвиги. Кроме того, флаг переноса (C) выполняет функции "булевого аккумулятора" в инструкциях, манипулирующих с битами. Флаг переполнения (OV) фиксирует арифметическое переполнение при операциях над целыми числами со знаком и делает возможным использование арифметики в дополнительных

кодах. Он устанавливается, если результат не укладывается в семи битах, и старший (восьмой) бит не может интерпретироваться как знаковый. При выполнении операции деления флаг OV сбрасывается, а в случае деления на нуль устанавливается. При умножении флаг OV устанавливается, если результат больше 255.

Табл. 4.4. Формат слова состояния программы (PSW)

Символ	Позиция	Имя и назначение
C	PSW.7	Флаг переноса. Устанавливается и сбрасывается аппаратными средствами или программой при выполнении арифметических и логических операций.
AC	PSW.6	Флаг вспомогательного переноса. Устанавливается и сбрасывается только аппаратными средствами при выполнении команд сложения и вычитания и сигнализирует о переносе или заёме в бите 3.
FO	PSW.5	Флаг 0. Может быть установлен, сброшен или проверен программой как флаг, специфицируемый пользователем.
RS1 RS0	PSW.4 PSW.3	Выбор банка регистров. Устанавливается и сбрасывается программой для выбора рабочего банка регистров (см. примечание).
OV	PSW.2	Флаг переполнения. Устанавливается и сбрасывается аппаратно при выполнении арифметических операций.
-	PSW.1	Не используется.
P	PSW.0	Флаг паритета. Устанавливается и сбрасывается аппаратно в каждом цикле команды и фиксирует нечетное/четное число единичных бит в аккумуляторе, т.е. выполняет контроль по четности

Примечание. Выбор рабочего банка регистров

RS1	RS0	Банк	Границы адресов
0	0	0	00H-0711
0	1	1	08H-0FH
1	0	2	10H-17H
1	1	3	18H-1FH

АЛУ не управляет флагами выбора банка регистров (RS0, RS1) и их значение полностью определяется прикладной программой и используется для выбора одного из четырех регистровых банков.

Указатель стека

8-битный указатель стека (SP) может адресовать любую область внутренней памяти данных. Его содержимое инкрементируется прежде, чем данные будут запомнены в стеке в ходе выполнения команд PUSH и CALL. Содержимое SP декрементируется после выполнения команд POP и RET. Подобный способ адресации элементов стека называют

μP Архитектура 8-разрядного микроконтроллера

предкрементным/постдекрементным. В процессе инициализации микроконтроллера после сигнала RST в SP автоматически загружается код 07H. Это значит, что если прикладная программа не переопределяет стек, то первый элемент данных в стеке будет располагаться в ячейке с адресом 08H.